

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-233687

(43)Date of publication of application : 02.09.1998

(51)Int.Cl.

H03M 3/02
H04J 3/00

(21)Application number : 09-036749

(71)Applicant : SHARP CORP

(22)Date of filing : 20.02.1997

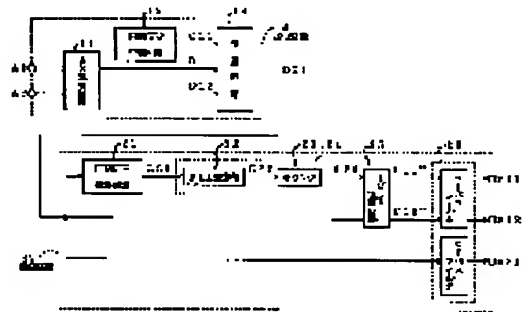
(72)Inventor : INOTSUKA YUKINORI

(54) SIGNAL TRANSMITTER

(57)Abstract:

PROBLEM TO BE SOLVED: To improve the economy by simplifying the entire configuration of the signal transmitter.

SOLUTION: A $\Delta \Sigma$ modulation circuit 11 of a transmitter 14 converts analog signals A₁, A₂ into 1-bit digital signals D₁₁, D₁₂, and a multiplexer circuit 13 applies time division multiplex to the signals D₁₁, D₁₂ and a synchronizing signal clock C₁₁ and the multiplexed signal D₂₁ is transmitted to a receiver 27. A 1-bit demodulation circuit 25 demodulates the multiplexed digital signal D₂₁ based on the synchronizing signal detected by a synchronizing signal detection circuit 21 from the received multiplexed digital signal D₂₁ in a timing in response to each system. Each demodulated signal is converted into analog signals A₁₁, A₁₂ by a low pass filter 26.



LEGAL STATUS

[Date of request for examination]

21.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-233687

(43)公開日 平成10年(1998)9月2日

(51)Int.Cl.⁶

H 0 3 M 3/02

H 0 4 J 3/00

識別記号

F I

H 0 3 M 3/02

H 0 4 J 3/00

A

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21)出願番号 特願平9-36749

(22)出願日 平成9年(1997)2月20日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 猪塚 行憲

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

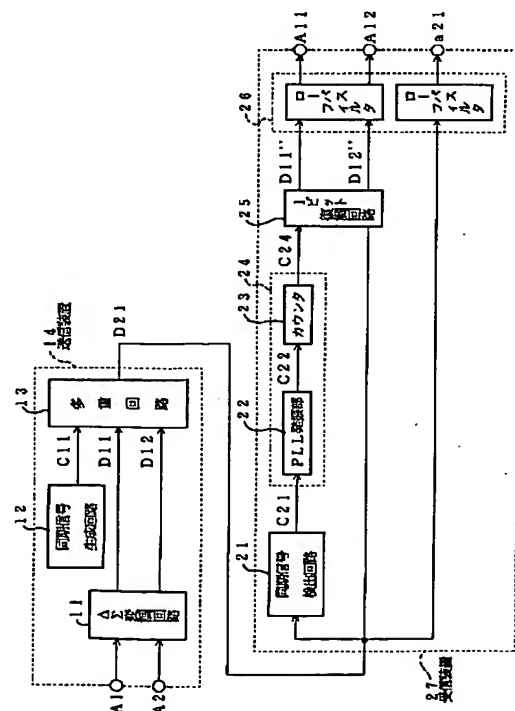
(74)代理人 弁理士 原 謙三

(54)【発明の名称】 信号伝送装置

(57)【要約】

【課題】 信号伝送装置全体の構成を簡易にし、経済性を向上させる。

【解決手段】 送信装置14側では、複数系統のアナログ信号A1、A2を $\Delta\Sigma$ 変調回路11にてそれぞれ1ビットデジタル信号D11、D12に変換し、多重回路13にて同期信号用のクロックC11と時分割多重して送信する。受信装置27側では、受信した多重化デジタル信号D21から同期信号検出回路21にて検出した上記同期信号に基づき、多重化デジタル信号D21を、上記各系統に応じたタイミングで1ビット復調回路25にてそれぞれ復調する。復調された各信号をローパスフィルタ26でアナログ信号A11、A12に変換する。



【特許請求の範囲】

【請求項1】複数系統のデジタル信号を送受信する信号伝送装置において、

送信側では、複数系統の入力信号を1ビットデジタル信号に変換する信号変換部と、

同期信号を生成する同期信号生成部と、

上記1ビットデジタル信号と上記同期信号とを、1系統の伝送用デジタル信号に多重して送信する多重部とを有し、

受信側では、受信した上記伝送用デジタル信号から上記同期信号を検出する同期信号検出部と、

上記同期信号から、上記伝送用デジタル信号に同期したクロックを生成するクロック生成部と、

上記クロックに基づき、上記伝送用デジタル信号を、上記入力信号の各系統に応じたタイミングでそれぞれ復調する1ビット復調部とを有することを特徴とする信号伝送装置。

【請求項2】受信側で、受信した上記伝送用デジタル信号から上記入力信号の各系統のデジタル信号を分離せずに、上記伝送用デジタル信号がそのまま入力されるローパスフィルタを有することを特徴とする請求項1記載の信号伝送装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、デルタシグマ変調等によって得られる1ビット符号化方式によるデジタル信号を、効率的に伝送する信号伝送装置に関するものである。

【0002】

【従来の技術】従来より、デジタル機器間でデジタル信号を伝送する際には、様々な伝送方法が用いられている。広く使われている伝送方法としては、例えば、各系統のデジタル信号を、それぞれ別の伝送系で伝送するパラレル伝送方法や、1つの伝送系を時分割することにより複数系統のデジタル信号を伝送するシリアル伝送方法が挙げられる。

【0003】前記シリアル伝送方法は、1つの伝送系を時分割し、分割された時間毎に対応する系統のデジタル信号を伝送する方法である。この方法においては、伝送系を伝送されるデジタル信号がどの系統のデジタル信号に対応しているかを受信部が判断する必要があり、そのための特別なフォーマットを行う。そのため、送信部および受信部における処理が複雑になる。さらに、当該判断に必要な情報を前記伝送系で伝送する場合は、該情報とデジタル信号とを区別する必要があるため、送信部および受信部における処理が更に複雑になる。

【0004】したがって、送信部および受信部の構成を簡略化したい場合には、各系統のデジタル信号にそれぞれ専用の伝送系を割り当て、そのまま伝送するパラレル伝送方法が用いられることが多い。また、複数系統のデ

ジタル信号を数ビットに符号化したそのビット数分の伝送系でパラレルに伝送するデジタル信号伝送方法も行われている。

【0005】

【発明が解決しようとする課題】しかしながら、従来のパラレル伝送方法によるデジタル信号伝送方法においては、デジタル信号の系統の数だけの伝送系、あるいは、符号化したビット数分の伝送系を必要とする。さらに、各系統のデジタル信号がデータクロックに同期している場合には、当該データクロックを別の伝送系で伝送する必要がある。したがって、伝送系の数を減らすことが困難である。各伝送系は、送信部、受信部、および伝送線などを備えているため、このような伝送系の増加は、伝送手段全体の構成の複雑化や大型化を招来するという問題点を有している。

【0006】一方、シリアル伝送系においては、時分割されたデジタル信号がそれぞれどの系統のデジタル信号かを受信部で判断するために、該デジタル信号に対して特別なフォーマットを行う必要があり、送信部および受信部の構成が複雑になるという問題点を有している。

【0007】

【課題を解決するための手段】上記の課題を解決するため、請求項1記載の信号伝送装置は、複数系統のデジタル信号を送受信する信号伝送装置において、送信側では、複数系統の入力信号を1ビットデジタル信号に変換する信号変換部と、同期信号を生成する同期信号生成部と、上記1ビットデジタル信号と上記同期信号とを、1系統の伝送用デジタル信号に多重して送信する多重部とを有し、受信側では、受信した上記伝送用デジタル信号から上記同期信号を検出する同期信号検出部と、上記同期信号から、上記伝送用デジタル信号に同期したクロックを生成するクロック生成部と、上記クロックに基づき、上記伝送用デジタル信号を、上記入力信号の各系統に応じたタイミングでそれぞれ復調する1ビット復調部とを有することを特徴としている。

【0008】上記の構成により、送信側に、複数系統のアナログ信号が入力された場合、 $\Delta\Sigma$ 変調回路のような信号変換部により、それぞれ1ビットデジタル信号に変換される。そして、その複数系統の1ビットデジタル信号は、簡易な回路で生成される同期信号と時分割多重されて、1系統の伝送用デジタル信号として送信される。

【0009】受信側では、上記伝送用デジタル信号から上記同期信号を簡易な回路で検出し、検出した上記同期信号に基づき、上記伝送用デジタル信号を、上記各系統に応じたタイミングでそれぞれ復調する。

【0010】すなわち例えば、上記同期信号をもとに、伝送用デジタル信号に同期するとともに伝送用デジタル信号と同一の周波数を持つデータクロックを生成する。そして、そのデータクロックの整数倍の周波数の高速クロックを生成する。この高速クロックに基づき、上記伝

送用デジタル信号を、上記各系統に応じたタイミングでそれぞれ復調する。

【0011】復調された信号をローパスフィルタでアナログ信号に変換することにより、受信側でアナログ出力信号が取り出せる。

【0012】送信側に、複数系統のマルチビットのデジタル信号が入力された場合にも同様に、上記信号変換部によりそれぞれ1ビットデジタル信号に変換される。

【0013】そのため、従来のパラレル伝送方法によるデジタル信号伝送方法と異なり、伝送系は1系統でよく、デジタル信号の系統の数だけの伝送系あるいは符号化したビット数分の伝送系が不要である。また、データクロックを別の伝送系で伝送する必要もない。したがって、伝送系の数を減らすことが可能である。各伝送系は、送信部、受信部、および伝送線などを備えているため、このような伝送系の増加を抑制することにより、伝送手段全体の構成を簡素化し、大型化を防止することができる。

【0014】一方、従来のシリアル伝送系と異なり、時分割されたデジタル信号がそれぞれの系統のデジタル信号かを受信側で判断するうえで、そのデジタル信号に対して特別なフォーマットを行う必要がなく、簡易な構成で送受信ができる。

【0015】したがって、1系統のデジタル信号を用いて、しかも簡易な回路構成で複数系統の信号を伝送することができる。それゆえ、信号伝送装置全体の構成を簡易にし、経済性を向上させることができる。

【0016】請求項2記載の信号伝送装置は、請求項1の構成に加えて、受信側で、受信した上記伝送用デジタル信号から上記入力信号の各系統のデジタル信号を分離せずに、上記伝送用デジタル信号がそのまま入力されるローパスフィルタを有することを特徴としている。

【0017】上記の構成により、上記伝送用デジタル信号に上記ローパスフィルタを通過させると、同期信号は“L”の区間と“H”の区間とが同じであるため、0ボルトの電位を持つものとされる。したがって、同期信号以外の1ビットデジタル信号と平均化される。それゆえ、モノラル信号の出力を得ることができる。

【0018】

【発明の実施の形態】本発明の実施の一形態について図1および図2に基づいて説明すれば、以下の通りである。ここでは2系統のアナログ信号を伝送する。本実施の形態に係る信号伝送装置は、図1に示すように、送信装置14および受信装置27を有している。

【0019】送信装置14は、 $\Delta\Sigma$ （デルタシグマ）変調回路（信号変換部）11、同期信号生成回路（同期信号生成部）12および多重回路（多重部）13を有する。 $\Delta\Sigma$ 変調回路11は、アナログ信号を1ビットデジタル信号に変換して出力するものである。同期信号生成回路12はこの1ビットデジタル信号のデータクロック

の3倍のクロックC11を生成するものである。多重回路13は、1ビットデジタル信号とクロックC11とを多重するものである。

【0020】受信装置27は、同期信号検出回路（同期信号検出部）21、PLL回路（クロック生成部）24、1ビット復調回路（1ビット復調部）25、ローパスフィルタ26を有する。同期信号検出回路21は、入力信号から後述のように同期信号を検出するものである。PLL回路24は、入力されるクロックの整数倍（ここでは8倍）の高速なクロックC22を発振させるPLL発振部22と、入力されるクロックC22の立ち下がりでカウントするカウンタ23とを有し、カウンタ23からクロックC24を出力するものである。1ビット復調回路25は、入力されるクロックC24の立ち上がりまたは立ち下がりを入力デジタル信号から1ビットデジタル信号を復調して出力するものである。

【0021】まず、送信装置14に、2系統のアナログ信号すなわちA1、A2をそれぞれ入力する。すると、アナログ信号が $\Delta\Sigma$ 変調回路11で1ビットデジタル信号D11、D12に変換され、多重回路13に入力される。ここで、伝送後に受信装置27で1ビットデジタル信号D11、D12が入れ代わって出力されることのないように、同期信号生成回路12で、1ビットデジタル信号のデータクロックの3倍のクロックC11を生成し、多重回路13で1ビットデジタル信号D11、D12と多重されることによって、同期信号となる。このようにして、多重化デジタル信号D21（伝送用デジタル信号）を得る。

【0022】多重化デジタル信号D21は、受信装置27に入力され、同期信号検出回路21で、最小“H”区間、つまり同期信号の“H”区間を検出して、同期信号の立ち下がり毎に異なる2値をとる、クロックC21を生成する。

【0023】PLL回路24は、PLL発振部22によりクロックC21の8倍のクロックC22を発振させる。そして、入力クロックの立ち下がりでカウントするカウンタ23でクロックC24を得る。このクロックC24と多重化デジタル信号D21とを1ビット復調回路25に入力し、クロックC24の立ち上がりで多重化デジタル信号D21を読み取り、1ビットデジタル信号D11'を出力する。出力されたD11'をクロックC24の立ち下がりでもう一度読み取り、1ビットデジタル信号D11''を出力する。

【0024】また、多重化デジタル信号D21を、クロックC24の立ち下がりで読み取り、1ビットデジタル信号D12''を出力する。

【0025】したがって、前記1ビット復調回路25によって、送信装置14の $\Delta\Sigma$ 変調回路11の出力D11、D12とほぼ同等の1ビットデジタル信号D11''、D12''を復調することができる。

【0026】そして、1ビット復調回路25によって得られる1ビットデジタル信号D11”、D12”を、ローパスフィルタ26に通過させ、アナログ信号A11、A12を復調する。

【0027】本発明の伝送信号として扱う多重化デジタル信号D21は、そのままローパスフィルタ26に入力すると、同期信号は“L”の区間と“H”の区間とが同じであるため、0ボルトの電位を持つものとされ、同期信号以外の1ビットデジタル信号と平均化されて、モノラル信号として出力される(a21)。

【0028】なお、特開平6-66138号公報、特開平6-85683号公報に開示された技術はいずれも1ビット信号の多重の方法について述べているが、伝送後の処理方法については述べていない。本発明は、多重して伝送した後に、どの系統の入力信号(例えば、ステレオオーディオ信号Lch、Rch)かを判断し、復調する際に、この判断が簡易な回路でできるようにするため、同期信号を以上述べたように多重している。

【0029】

【発明の効果】以上のように、本発明の請求項1記載の信号伝送装置は、複数系統のデジタル信号を送受信する信号伝送装置において、送信側では、複数系統の入力信号を1ビットデジタル信号に変換する信号変換部と、同期信号を生成する同期信号生成部と、上記1ビットデジタル信号と上記同期信号とを、1系統の伝送用デジタル信号に多重して送信する多重部とを有し、受信側では、受信した上記伝送用デジタル信号から上記同期信号を検出する同期信号検出部と、上記同期信号から、上記伝送用デジタル信号に同期したクロックを生成するクロック生成部と、上記クロックに基づき、上記伝送用デジタル信号を、上記入力信号の各系統に応じたタイミングでそれぞれ復調する1ビット復調部とを有する構成である。

【0030】それゆえ、信号伝送装置全体の構成を簡易

にし、経済性を向上させることができるという効果を奏する。

【0031】本発明の請求項2記載の信号伝送装置は、請求項1の構成に加えて、受信側で、受信した上記伝送用デジタル信号から上記入力信号の各系統のデジタル信号を分離せずに、上記伝送用デジタル信号がそのまま入力されるローパスフィルタを有する構成である。

【0032】それゆえ、請求項1の構成による効果に加えて、モノラル信号の出力を得ることができるという効果を奏する。

【図面の簡単な説明】

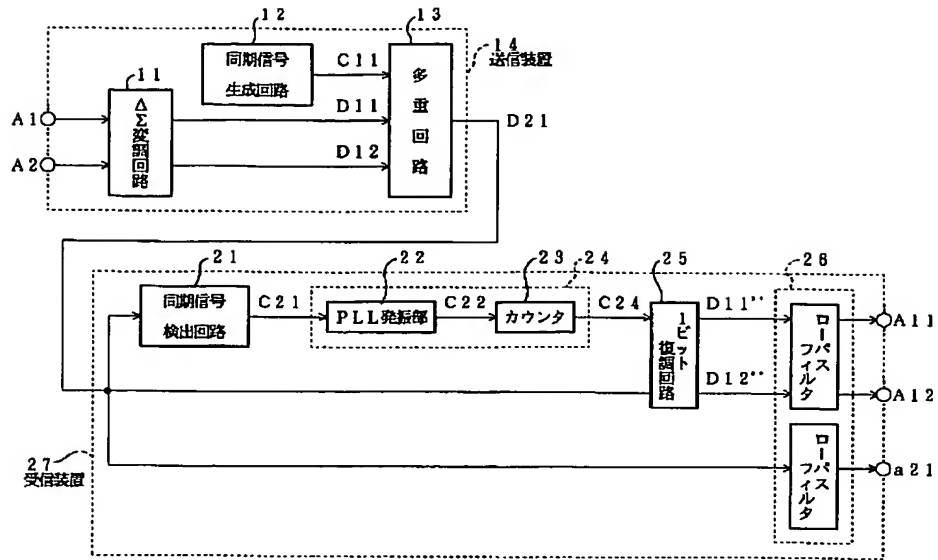
【図1】本発明に係る信号伝送装置の一構成例を示すブロック図である。

【図2】図1の構成で扱われる信号のタイミング図である。

【符号の説明】

- | | |
|------------------------|----------------------------|
| 11 | $\Delta\Sigma$ 変調回路(信号変換部) |
| 12 | 同期信号生成回路(同期信号生成部) |
| 13 | 多重回路(多重部) |
| 14 | 送信装置 |
| 21 | 同期信号検出回路(同期信号検出部) |
| 22 | PLL発振部 |
| 23 | カウンタ |
| 24 | PLL回路(クロック生成部) |
| 25 | 1ビット復調回路(1ビット復調部) |
| 26 | ローパスフィルタ |
| 27 | 受信装置 |
| A1、A2、A11、A12、a21 | アナログ信号 |
| C11、C21、C22、C24 | クロック |
| D11、D12、D11”、D11’、D12” | 1ビットデジタル信号 |
| D21 | 多重化デジタル信号(伝送用デジタル信号) |

【図 1】



【図 2】

